

PAT-NO: JP403048462A

DOCUMENT-IDENTIFIER: JP 03048462 A

**TITLE: INSULATED GATE BIPOLAR TRANSISTOR AND
MANUFACTURE
THEREOF**

PUBN-DATE: March 1, 1991

INVENTOR-INFORMATION:

NAME

AKIYAMA, HAJIME

KONDO, HISAO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

N/A

APPL-NO: JP01245914

APPL-DATE: September 20, 1989

INT-CL (IPC): H01L029/68

US-CL-CURRENT: 257/142, 438/289 , 438/365 , 438/FOR.205

ABSTRACT:

PURPOSE: To suppress or control the variation of a threshold voltage and effectively prevent the occurrence of latching up by making the number of fixed positive charges in an insulating film balanced with or especially larger than

the number of levels at the boundary between the insulating film and first semiconductor area.

CONSTITUTION: A voltage is applied across the emitter electrode 7 and gate electrode 6 of an IGBT from a power source 42 so that the gate electrode 6 can become negative. When irradiation is performed as usual with an electron beam which is a kind of ionizing radiation under such condition, electron-positive hole pairs produced in an gate insulating film 5 move along each electric force line and the recombination coefficient drops. Therefore, the voltage of the power source 42 is optimized so that the number of fixed positive charges in the gate insulating film 5 can be balanced with the acceptor type boundary levels at the boundary between the film 5 and a P well area 3.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-48462

⑤ Int.Cl.³
H 01 L 29/68識別記号 庁内整理番号
8225-5F

⑬ 公開 平成3年(1991)3月1日

審査請求 未請求 請求項の数 5 (全23頁)

⑭ 発明の名称 絶縁ゲート型バイポーラトランジスタおよびその製造方法

⑯ 特 願 平1-245914

⑰ 出 願 平1(1989)9月20日

優先権主張 ⑱ 平1(1989)4月6日 ⑲ 日本(JP) ⑳ 特願 平1-88710

㉑ 発 明 者 秋 山 肇 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内㉒ 発 明 者 近 藤 久 雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

㉓ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉔ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

絶縁ゲート型バイポーラトランジスタおよびその製造方法

2. 特許請求の範囲

(1) 第1および第2の主面を有する第1の導電形の第1の半導体層と、

前記第1の半導体層の前記第1の主面上に形成された第2の導電形の第2の半導体層と、

前記第2の半導体層の表面に選択的に形成された第1の導電形の第1の半導体領域と、

前記第1の半導体領域の表面に選択的に形成された第2の導電形の第2の半導体領域と、

前記第2の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に形成された絶縁膜と、

前記絶縁膜上に形成された制御電極と、

前記第1および第2の半導体領域上にまたがって形成された第1の主電極と、

前記第1の半導体層の前記第2の主面上に形成

された第2の主電極とを備え、

前記絶縁膜中の正の固定電荷の数および、前記絶縁膜と前記第1の半導体領域との界面における準位の数に関し、前者が後者と均衡して存在するか、あるいは前者が後者よりも格段に多く存在することを特徴とする絶縁ゲート型バイポーラトランジスタ。

(2) 第1および第2の主面を有する第1の導電形の第1の半導体層と、

前記第1の半導体層の前記第1の主面上に形成された第2の導電形の第2の半導体層と、

前記第2の半導体層の表面に選択的に形成された第1の導電形の第1の半導体領域と、

前記第1の半導体領域の表面に選択的に形成された第2の導電形の第2の半導体領域と、

前記第2の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に形成された絶縁膜と、

前記絶縁膜上に形成された制御電極と、

前記第1および第2の半導体領域上にまたがっ

て形成された第1の主電極と、

前記第1の半導体層の前記第2の主面上に形成された第2の主電極とを備え、

前記第2の半導体層は、前記第1の半導体層の前記第1の主面上に形成され、結晶欠陥を有する比較的不純物濃度が高い第2の導電形の第3の半導体層と、前記第3の半導体層上に形成され、結晶欠陥を有さない比較的不純物濃度が低い第2の導電形の第4の半導体層からなることを特徴とする絶縁ゲート型バイポーラトランジスタ。

(3) 第1および第2の主面を有する第1の導電形の第1の半導体層を準備する工程と、

前記第1の半導体層の前記第1の主面上に第2の導電形の第2の半導体層を形成する工程と、

前記第2の半導体層の表面に第1の導電形の第1の半導体領域を選択的に形成する工程と、

前記第1の半導体領域の表面に第2の導電形の第2の半導体領域を選択的に形成する工程と、

前記第2の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に絶縁

膜を形成する工程と、

前記絶縁膜上に制御電極を形成する工程と、

前記第1および第2の半導体領域上にまたがって第1の主電極を形成する工程と、

前記第1の半導体層の前記第2の主面上に第2の主電極を形成する工程と、

前記制御電極と前記第1の主電極間に所定の電圧を印加した状態で前記制御電極上方から、第1の電離放射線を飛程が前記絶縁膜近傍になるように照射する工程と、

前記第2の主電極が形成された主面上から、第2の電離放射線を飛程が前記第2の半導体層内になるように照射する工程とを備える絶縁ゲート型バイポーラトランジスタの製造方法。

(5) 第1および第2の主面を有する第1の導電形の第1の半導体層を準備する工程と、

前記第1の半導体層の前記第1の主面上に第2の導電形の第2の半導体層を形成する工程とを備え、前記第2の半導体層を形成する工程は、前記第1の半導体層の前記第1の主面上に比較的不純

物を形成する工程と、

前記絶縁膜上に制御電極を形成する工程と、

前記第1および第2の半導体領域上にまたがって第1の主電極を形成する工程と、

前記第1の半導体層の前記第2の主面上に第2の主電極を形成する工程と、

前記制御電極と前記第1の主電極間に所定の電圧を印加した状態で前記制御電極上方から電離放射線を照射する工程とを備える絶縁ゲート型バイポーラトランジスタの製造方法。

(4) 第1および第2の主面を有する第1の導電形の第1の半導体層を準備する工程と、

前記第1の半導体層の前記第1の主面上に第2の導電形の第2の半導体層を形成する工程と、

前記第2の半導体層の表面に第1の導電形の第1の半導体領域を選択的に形成する工程と、

前記第1の半導体領域の表面に第2の導電形の第2の半導体領域を選択的に形成する工程と、

前記第2の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に絶縁

物濃度の高い第2の導電形の第3の半導体層を形成する工程と、前記第3の半導体層上に比較的不純物濃度の低い第2の導電形の第4の半導体層を形成する工程とからなり、

前記第4の半導体層の表面に第1の導電形の第1の半導体領域を選択的に形成する工程と、

前記第1の半導体領域の表面に第2の導電形の第2の半導体領域を選択的に形成する工程と、

前記第4の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に絶縁膜を形成する工程と、

前記絶縁膜上に制御電極を形成する工程と、

前記第1および第2の半導体領域上にまたがって第1の主電極を形成する工程と、

前記第1の半導体層の前記第2の主面上に第2の主電極を形成する工程と、

生成される結晶欠陥が分布する範囲が前記第3の半導体層の厚さよりも小さな電離放射線を、前記第2の主電極が形成された主面上から、飛程が前記第3の半導体層の中心付近になるように照射

する工程とをさらに備えた絶縁ゲート型バイポーラトランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は絶縁ゲート型バイポーラトランジスタ (Insulated Gate Bipolar Transistor; 以下 IGBT という) に関し、特に寄生サイリスタのラッチアップの防止、ライフタイム制御に伴う閾値電圧変化の制御及びターンオフ時間とオン抵抗のトレードオフ関係の改善に関するものである。

(従来の技術)

一般に IGBT 装置は多数の IGBT 素子 (以下 IGBT セル という) が並列接続された構造を有している。第 17 図は従来の n チャンネル形の IGBT セルの構造を示す断面図であり、第 18 図はその等価回路を示す回路図である。

第 17 図において、1 は P^+ 半導体基板から成る P^+ コレクタ層であり、その一方主面上には N^+ エピタキシャル層 2A が形成され、 N^+ エピタキシャル層 2A 上には N^- エピタキシャル層 2B

それぞれ共通に電気的につながった構造となっている。 P^+ コレクタ層 1 の裏面には金属のコレクタ電極 9 が全 IGBT セルに対し一体に形成されている。

N^- エピタキシャル層 2B と N^+ エミッタ領域 4 とで挟まれた P ウェル領域 3 の表面近傍は n チャンネルの MOS 構造となっており、ゲート端子 G を通じてゲート電極 6 に正電圧を印加することにより、ゲート電極 6 直下の P ウェル領域 3 の表面近傍に形成されたチャンネルを通じて、電子が N^+ エミッタ領域 4 より N^- エピタキシャル層 2B 及び N^+ エピタキシャル層 2A (以下、これらを総称する場合、「N ベース層 2」という。) へと流れる。 I_e はこの様にして流れる電子電流を示す。一方、 P^+ コレクタ層 1 からは少数キャリアである正孔が N ベース層 2 に注入され、その一部は上記電子と再結合して消滅し、残りは正孔電流 I_h として P ウェル領域 3 を流れる。この様に IGBT は、基本的にバイポーラ的な動作をし、 N^- エピタキシャル層 2B では、電導度変調の効果から

が形成されている。なお、 N^+ エピタキシャル層 2A を形成するのは、IGBT が所定の耐圧を維持する目的からである。 N^- エピタキシャル層 2B の表面の一部領域には、P 形不純物を選択的に拡散することにより P ウェル領域 3 が形成され、さらにこの P ウェル領域 3 の表面の一部領域には、高濃度の N 形不純物を選択的に拡散することにより N^+ エミッタ領域 4 が形成されている。 N^- エピタキシャル層 2B の表面と N^+ エミッタ領域 4 の表面とで挟まれた P ウェル領域 3 の表面上にはゲート絶縁膜 5 が形成され、このゲート絶縁膜 5 は隣接する IGBT セル間で一体となるよう N^- エピタキシャル層 2B の表面上にも形成されている。ゲート絶縁膜 5 上には例えばポリシリコンから成るゲート電極 6 が形成され、また P ベース領域 3 および N^+ エミッタ領域 4 の両方に電気的に接続するように例えばアルミなどの金属のエミッタ電極 7 が形成されている。なおゲート電極 6 およびエミッタ電極 7 は、絶縁膜 8 を介した多層構造とすることにより、全 IGBT セルに対してそ

電導度が増大することにより、従来のパワー MOS に比べて低いオン電圧、大きい電流容量を実現できる利点がある。

しかし、反面、ターンオフ時には正孔電流 I_h の減少が時間的にゆっくりしているため、動作周波数を上げられない嫌いがある。そこで電子線 40 を照射して N ベース層 2 に結晶欠陥を形成し、ターンオフ時の正孔の再結合中心として機能させることにより動作周波数を上げる所謂ライフタイム制御を行う。尚この時、電子線 40 がゲート絶縁膜 5 を通過することにより同絶縁膜 5 内に正の固定電荷を形成し、閾値電圧 V_{th} を低下させてしまう現象が見られる。この低下の度合いは照射量の増加に従って大きくなる。従って照射後の閾値電圧 V_{th} を所望の値にする為には予め、電子線照射による低下分を見積って素子設計を行う必要がある。

一方、第 18 図の等価回路より明らかなように、IGBT セルには寄生の PNP N サイリスタ構造が存在する。寄生サイリスタは、N ベース層 2、

Pウェル領域3および N^+ エミッタ領域4より成るNPNトランジスタ10と、 P^+ コレクタ層1、Nベース層2およびPウェル領域3より成るPNPトランジスタ11とで構成され、両トランジスタ10、11が動作状態となり、かつそれぞれの電流増幅率 α_1 、 α_2 の和が1になったとき寄生サイリスタが導通して、ラッチアップが起こる。構造上、PNPトランジスタ11のベースとなるNベース層2の厚みはキャリア拡散長に比べ非常に厚いので、 α_2 は比較的小さな値となる。また、NPNトランジスタ10はエミッタ・ベース間が短絡され、オン状態になりにくい構造となっている。このため、通常の動作状態においてはラッチアップは発生せず、IGBTセルはnチャネルMOSFET12とPNPトランジスタ11の複合素子として動作する。この場合にはPNPトランジスタ11のベース電流がnチャネルMOSFET12によって制御されることになるので、ゲート端子Gに加える制御信号によってIGBTのコレクタ端子Cから流入する主電流 I_C を制御する

を小さくすることが必要である。

第19図はラッチアップ防止のために従来から採用されているIGBTセル構造の一例を示す断面図である。この例では、平面形状が矩形であるIGBTセルのPウェル領域3の中央部に、これと同一導電形のP形不純物を高濃度に拡散して形成した P^+ 領域13を設けている。これにより、Pウェル領域3の抵抗を下げるとともに、Pウェル領域3の中央部を流れるホール電流 I_h の比率を N^+ エミッタ領域4直下を流れるホール電流 I_h の比率に比べて相対的に大きくし、NPNトランジスタ10の導通状態への移行を抑えようとするものである。

第20図はラッチアップ防止のために従来から採用されているIGBTセル構造の別の一例を示す図解斜視断面図である。この例では、Pウェル領域3をストライプ状に形成し、かつ N^+ エミッタ領域4を一部削除したパターンに形成している。これにより、 N^+ エミッタ領域4が削除されたPウェル領域3の部分をホール電流 I_h のバイパス

ことが可能となる。なお、エミッタ端子Eに流れる電流を I_E とすると、

$$I_C = I_E = I_o + I_h \quad \dots (1)$$

の関係が成り立つ。

ところが、IGBTの主電流 I_C が例えばゲート端子Gに印加されるノイズ等の何らかの外的原因により増加すると、電子電流 I_o および正孔電流 I_h が増加する。このとき、正孔電流 I_h がある値を越えると、Pウェル領域3における抵抗 R_B での電圧降下によりNPNトランジスタ10が導通し、その電流増幅率 α_1 の増大により $\alpha_1 + \alpha_2 = 1$ が満たされて寄生サイリスタが導通する。こうしてIGBTはラッチアップ状態となる。この状態では最早、ゲート端子Gに印加する制御信号によってIGBTの主電流 I_C を制御することができず、過大な主電流 I_C が無制限に流れることになる。ラッチアップを防止するためには、Pウェル領域3の不純物濃度を上げて抵抗を下げる、および、 N^+ エミッタ領域4の直下を流れてエミッタ電極7に至るホール電流 I_h の比率

経路とし、 N^+ エミッタ領域4直下を流れるホール電流 I_h の比率を下けている。また第19図と同様の P^+ 領域13も併せて設けられている。

〔発明が解決しようとする課題〕

ところで上記第19図の構造を採用する場合、特に高耐圧のIGBT装置ではPウェル領域3の深さを深くしなければならないため、高不純物濃度の P^+ 領域13もこれに合せて深い位置まで形成する必要がある。しかしながら表面からの拡散により P^+ 領域13を形成するものであるため、不純物の濃度分布は深い所ほど低くなることは避けられず、縦方向の抵抗 R_{B1} のうち深い所での抵抗値を十分に低下させることができない。また P^+ 領域13は N^+ エミッタ領域4直下の全域に形成することが望ましいが、ゲート電極6直下のチャネル領域に及ぶことはMOSFET12の閾値電圧を変化させることになるので避けなければならない。したがって、形成時の種々の誤差を考慮するとチャネル領域のかなり手前までしか P^+ 領域13を形成することができず、横方向の抵抗R

B₂のうちチャネルに近い所での抵抗値を十分に低下させることができない。以上のことより、第19図の構造ではラッチアップ対策として不十分となることが多いという問題点があった。

一方、第20図の構造によれば、N⁺エミッタ領域4の一部削除に伴いチャネルが減少することは避けられない。チャネルの減少は大電流量化にとって不利である。またIGBTセルの平面形状がストライプ形状となるため、多数のIGBTセルを並列接続した大電流量のIGBT装置を作る場合、矩形のIGBTセルの場合と比べて、セル配列の高密度化が阻害されるという問題点がある。

また、第17図に示すように、電子線40の照射によりNベース層2に十分な結晶欠陥が生じるようにライフタイム制御を行うと、この結晶欠陥の発生に伴いNベース層2の抵抗値が必然的に上昇し、IGBTのオン抵抗が増加してしまう。つまり、IGBTのオン抵抗とターンオフ時間はトレードオフの関係にあり、現状においてこのトレ

ードオフ関係が最適とは言えない問題点がある。

さらに、前述したように、電子線40の照射によりIGBTの閾値電圧 V_{th} は低下するため、その低下分を見積って、電子線40照射後の閾値電圧 V_{th} が所望の値となるように、素子設計を行う必要があり、その分手間がかかるという問題点がある。

この発明は上記のような問題点を解消するためになされたもので、電子線などの電離放射線の照射前後での閾値電圧の変動を抑制または制御することができ、かつ、ラッチアップの発生を有効に防止しながらオン抵抗値とターンオフ時間とのトレードオフ関係を最善にし、大電流量化およびセル配列の高密度化に適した構造の絶縁ゲート型バイポーラトランジスタを得ることを目的とする。

(課題を解決するための手段)

この発明にかかる請求項1記載の絶縁ゲート型バイポーラトランジスタは、第1および第2の主面を有する第1の導電形の第1の半導体層と、前記第1の半導体層の前記第1の主面上に形成され

た第2の導電形の第2の半導体層と、前記第2の半導体層の表面に選択的に形成された第1の導電形の第1の半導体領域と、前記第1の半導体領域の表面に選択的に形成された第2の導電形の第2の半導体領域と、前記第2の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に形成された絶縁膜と、前記絶縁膜上に形成された制御電極と、前記第1および第2の半導体領域上にまたがって形成された第1の主電極と、前記第1の半導体層の前記第2の主面上に形成された第2の主電極とを備え、前記絶縁膜中の正の固定電荷の数および、前記絶縁膜と前記第1の半導体領域との界面における準位の数に関し、前者が後者と均衡して存在するか、あるいは前者が後者よりも格段に多く存在するように構成したものである。

また、請求項2記載の絶縁ゲート型バイポーラトランジスタは、第1および第2の主面を有する第1の導電形の第1の半導体層と、前記第1の半導体層の前記第1の主面上に形成された第2の導

電形の第2の半導体層と、前記第2の半導体層の表面に選択的に形成された第1の導電形の第1の半導体領域と、前記第1の半導体領域の表面に選択的に形成された第2の導電形の第2の半導体領域と、前記第2の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に形成された絶縁膜と、前記絶縁膜上に形成された制御電極と、前記第1および第2の半導体領域上にまたがって形成された第1の主電極と、前記第1の半導体層の前記第2の主面上に形成された第2の主電極とを備え、前記第2の半導体層は、前記第1の半導体層の前記第1の主面上に形成され、結晶欠陥を有する比較的不純物濃度が高い第2の導電形の第3の半導体層と、前記第3の半導体層上に形成され、結晶欠陥を有さない比較的不純物濃度が低い第2の導電形の第4の半導体層からなる。

一方、この発明にかかる請求項3記載の絶縁ゲート型バイポーラトランジスタの製造方法は、第1および第2の主面を有する第1の導電形の第1

の半導体層を準備する工程と、前記第1の半導体層の前記第1の主面上に第2の導電形の第2の半導体層を形成する工程と、前記第2の半導体層の表面に第1の導電形の第1の半導体領域を選択的に形成する工程と、前記第1の半導体領域の表面に第2の導電形の第2の半導体領域を選択的に形成する工程と、前記第2の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に絶縁膜を形成する工程と、前記絶縁膜上に制御電極を形成する工程と、前記第1および第2の半導体領域上にまたがって第1の主電極を形成する工程と、前記第1の半導体層の前記第2の主面上に第2の主電極を形成する工程と、前記制御電極と前記第1の主電極間に所定の電圧を印加した状態で前記制御電極上方から電離放射線を照射する工程とを備えて構成されている。

また、請求項4記載の絶縁ゲート型バイポーラトランジスタの製造方法は、第1および第2の主面を有する第1の導電形の第1の半導体層を準備する工程と、前記第1の半導体層の前記第1の主

面を有する第1の導電形の第1の半導体層を準備する工程と、前記第1の半導体層の前記第1の主面上に第2の導電形の第2の半導体層を形成する工程とを備え、前記第2の半導体層を形成する工程は、前記第1の半導体層の前記第1の主面上に比較的不純物濃度の高い第2の導電形の第3の半導体層を形成する工程と、前記第3の半導体層上に比較的不純物濃度の低い第2の導電形の第4の半導体層を形成する工程とからなり、前記第4の半導体層の表面に第1の導電形の第1の半導体領域を選択的に形成する工程と、前記第1の半導体領域の表面に第2の導電形の第2の半導体領域を選択的に形成する工程と、前記第4の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に絶縁膜を形成する工程と、前記絶縁膜上に制御電極を形成する工程と、前記第1および第2の半導体領域上にまたがって第1の主電極を形成する工程と、前記第1の半導体層の前記第2の主面上に第2の主電極を形成する工程と、生成される結晶欠陥が分布する範囲が前記

面上に第2の導電形の第2の半導体層を形成する工程と、前記第2の半導体層の表面に第1の導電形の第1の半導体領域を選択的に形成する工程と、前記第1の半導体領域の表面に第2の導電形の第2の半導体領域を選択的に形成する工程と、前記第2の半導体層と前記第2の半導体領域とで挟まれた前記第1の半導体領域の表面上に絶縁膜を形成する工程と、前記絶縁膜上に制御電極を形成する工程と、前記第1および第2の半導体領域上にまたがって第1の主電極を形成する工程と、前記第1の半導体層の前記第2の主面上に第2の主電極を形成する工程と、前記制御電極と前記第1の主電極間に所定の電圧を印加した状態で前記制御電極上方から、第1の電離放射線を飛程が前記絶縁膜近傍になるように照射する工程と、前記第2の主電極が形成された主面上から、第2の電離放射線を飛程が前記第2の半導体層内になるように照射する工程とを備えて構成されている。

さらに、請求項5記載の絶縁ゲート型バイポーラトランジスタの製造方法は、第1および第2の

第3の半導体層の厚さよりも小さな電離放射線を、前記第2の主電極が形成された主面上から、飛程が前記第3の半導体層の中心付近になるように照射する工程とをさらに備えて構成されている。

〔作用〕

請求項1記載の絶縁ゲート型バイポーラトランジスタにおいては、絶縁膜中の正の固定電荷の数および、該絶縁膜と第1の半導体領域との界面における準位の数に関し、前者が後者と均衡して存在するか、あるいは前者が後者よりも格段に多く存在するように構成される。前者が後者と均衡して存在する場合、両者の影響が打ち消し合うことにより閾値電圧 V_{th} は変化しない。一方、前者が後者よりも格段に多く存在する場合、前者の影響により閾値電圧 V_{th} は低下する。このとき、第2の半導体領域、第1の半導体領域および第2の半導体層より成る寄生トランジスタを動作しにくくするため第1の半導体領域を高濃度に形成しておけば、これにより閾値電圧 V_{th} は上昇する。そして、この上昇と前記低下とをちょうど相殺せられ

ば、閾値電圧 V_{th} はやはり変化しないことになる。

また、請求項2記載の絶縁ゲート型バイポーラトランジスタにおいては、第2の半導体層を構成する比較的不純物濃度が高い第3の半導体層と比較的不純物濃度が低い第4の半導体層のうち、第3の半導体層にのみ結晶欠陥が設けられているため、結晶欠陥を設けることによる弊害は第4の半導体層には生じない。

一方、請求項3記載の絶縁ゲート型バイポーラトランジスタの製造方法においては、制御電極と第1の主電極間に所定の電圧を印加した状態で制御電極上方から電離放射線が照射される。このとき、電圧の印加状況に応じて、絶縁膜中の正の固定電荷の数および、該絶縁膜と第1の半導体領域との界面における準位の数に関し、前者が後者と均衡して存在するか、あるいは前者が後者よりも格段に多く存在するように設定できる。これにより、請求項1記載の絶縁ゲート型バイポーラトランジスタに関連した記述と同様にして、閾値電圧 V_{th} の変化が生じないようにできる。

近傍に照射されないため、第2の電離放射線によって閾値電圧 V_{th} の変化が生じることはない。

さらに、請求項5記載の絶縁ゲート型バイポーラトランジスタの製造方法においては、生成される結晶欠陥が分布する範囲が第3の半導体層の厚さよりも小さい電離放射線を、第2の主電極が形成された主面上から、飛程が第3の半導体層の中心付近となるように照射するため、第2の半導体層を構成する比較的不純物濃度が高い第3の半導体層と比較的不純物濃度が低い第4の半導体層のうち、第3の半導体層にのみ結晶欠陥が設けられることになる。従って、結晶欠陥を設けることによる弊害が第4の半導体層に生じることはない。

〔実施例〕

第1図はこの発明によるIGBTの第1の実施例を示す断面図である。第1図において、1は P^+ 半導体基板から成る P^+ コレクタ層であり、その一方主面上には N^+ エピタキシャル層2Aが形成されており、さらに N^+ エピタキシャル層2A上に N^- エピタキシャル層2Bが形成されてい

また、請求項4記載の絶縁ゲート型バイポーラトランジスタの製造方法においては、制御電極と第1の主電極間に所定の電圧を印加した状態で飛程が絶縁膜近傍になるように第1の電離放射線が照射される。このとき、電圧の印加状況に応じて、絶縁膜中の正の固定電荷の数および、該絶縁膜と第1の半導体領域との界面における準位の数に関し、前者が後者と均衡して存在するか、あるいは前者が後者よりも格段に多く存在するように設定できる。これにより、請求項1記載の絶縁ゲート型バイポーラトランジスタに関連した記述と同様にして、閾値電圧 V_{th} の変化が生じないようにできる。しかも、第1の電離放射線はほとんど第2の半導体層に照射されないため、第1の電離放射線によってライフタイム制御が行われることはない。一方、第2の主電極の主面上から、飛程が第2の半導体層内になるように第2の電離放射線が照射される。このとき、第2の半導体層内に結晶欠陥が設けられることにより、ライフタイム制御が行われる。しかも、第2の電離放射線は絶縁膜

る。これらの N^+ エピタキシャル層2Aと N^- エピタキシャル層2Bとにより、IGBTのNベース層を形成している（以下、 N^+ エピタキシャル層2A及び N^- エピタキシャル層2Bを総称して、「Nベース層2」という。）。この N^- エピタキシャル層2B上の表面の一部領域には、P形不純物を選択的に拡散することによりPウェル領域3が形成され、さらにこのPウェル領域3の表面の一部領域には、高濃度のN形不純物を選択的に拡散することにより N^+ エミッタ領域4が形成されている。 N^- エピタキシャル層2Bの表面と N^+ エミッタ領域4の表面とで挟まれたPウェル領域3の表面上にはゲート絶縁膜5が形成され、このゲート絶縁膜5は隣接するIGBTセル間で一体となるよう N^- エピタキシャル層2Bの表面上にも形成されている。ゲート絶縁膜5上には例えばポリシリコンから成るゲート電極6が形成され、またPベース領域3および N^+ エミッタ領域4の両方に電気的に接続するように例えばアルミなどの金属のエミッタ電極7が形成されている。なお

ゲート電極6およびエミッタ電極7は、絶縁膜8を介した多層構造とすることにより、全IGBTセルに対してそれぞれ共通に電気的につながった構造となっている。P⁺コレクタ層1の裏面には金属のコレクタ電極9が全IGBTセルに対し一体に形成されている。すなわち、この実施例に係るIGBTは第17図に示す従来のIGBTと同様の構造を有しており、従ってその基本的な動作に関しても従来のIGBTと同様である。

このような構造のIGBTのエミッタ電極7とゲート電極6の間に電源42によってゲート電極6が負になるように電圧を印加する。この状態で従来同様、電離放射線の一種である電子線40による照射を行うと、ゲート絶縁膜5中で発生した電子-正孔対は各々電気力線に沿って移動し再結合率は低下する。従ってゲート絶縁膜5中の正の固定電荷は増加するが、同じく電気力線に沿って移動した電子はゲート絶縁膜5とPウェル領域3の界面でアクセプタータイプの界面準位を形成する。正の固定電荷とアクセプタータイプの界面準

位は互いに影響を打ち消し合うので、両者が均衡を保つように電源42による電圧を最適化すれば、電子線40の照射前後での閾値電圧 V_{th} の低下は抑制できる。よって従来のように、素子の設計段階で電子線40の照射による閾値電圧 V_{th} の低下分を予め見込む必要がなくなり、より制御性の高いライフタイム制御が実現できる。

第2図はこの発明によるIGBTの第2の実施例を示す断面図である。第2図において、基本的な素子構造は、Pウェル領域3を除いて第1図と同じである。第2図のPウェル領域3は、内部抵抗 R_{B1} および R_{B2} が寄生サイリスタの動作に影響しない程度にまで低下するように、言い換えればN⁺エミッタ領域4、Pベース領域3およびNベース層2より成る寄生NPNトランジスタの動作を不能化するように、十分高濃度に形成されている。このため、ゲート絶縁膜5直下でのPウェル領域3の濃度も上昇することより、閾値電圧 V_{th} は増大する。

このような構造のIGBTのエミッタ電極7と

ゲート電極6の間に、電源42によってゲート電極6が正になるように電圧を印加する。この状態で従来同様、電離放射線の一種である電子線40による照射を行うと、ゲート絶縁膜5中で発生した電子-正孔対は各々電気力線に沿って移動し、再結合率は低下する。従ってゲート絶縁膜5中の固定電荷は増加するが、電子はゲート電極6に速やかに吸収され、上記第1の実施例のようにゲート絶縁膜5とPウェル領域3の界面にアクセプタータイプの界面準位を形成しない。正の固定電荷の増加は閾値電圧 V_{th} の低下につながるもので、Pウェル領域3の濃度上昇に伴う閾値電圧 V_{th} の増大は相殺される。そして、電子と正孔の再結合率はゲート絶縁膜5中の電界強度によって制御が可能であることから、電源42による印加電圧を最適化することにより電子線40の照射後に所望の閾値電圧 V_{th} を得ることができる。また、電子線40は本来その目的であるNベース層2でのライフタイム制御も行うことから、本工程においてライフタイム制御と V_{th} 制御が同時に行えるもので

ある。

第3図はこの発明によるIGBTの第3の実施例を示す断面図である。第3図において、基本的な素子構造は、Pウェル領域3を除いて第1図と同じである。第3図のPウェル領域3は、内部抵抗 R_{B1} 及び R_{B2} が寄生サイリスタの動作に影響しない程度にまで低下するように、第2図の実施例と同様に十分高濃度に形成されている。このためゲート絶縁膜直下でのPウェル領域3の濃度も上昇することにより、閾値電圧 V_{th} は増大する。

この実施例では、エミッタ電極7上にマスク36を形成し、このマスク36を介して飛程がゲート絶縁膜5の付近にあるような電離放射線の一種である低エネルギー軽イオン線41aを、ゲート電極6の部分にのみ選択的に照射する。この軽イオン線41aとして、例えばプロトン（水素イオンH⁺）を用いてもよい。照射中はエミッタ電極7とゲート電極6の間に電源42によってゲート電極6が正になるように電圧を印加しておく。低エネルギー軽イオン線41aはゲート絶縁膜5中

で電子-正孔対を発生させるが、これらは各々電気力線に沿って移動し、再結合率は低下する。従ってゲート絶縁膜5中の正の固定電荷は増加するが、電子はゲート電極6に速やかに吸収され、ゲート絶縁膜5とPウェル領域3の界面にアクセプタータイプの界面単位を形成しない。正の固定電荷の増加は閾値電圧 V_{th} の低下につながるので、Pウェル領域3の濃度上昇に伴う閾値電圧 V_{th} の増大は相殺される。そして、電子と正孔の再結晶率はゲート絶縁膜5中の電界強度によって制御が可能であることから、電源42による印加電圧を最適化することにより低エネルギー軽イオン線41aの照射後に所望の閾値電圧 V_{th} を得ることができる。

低エネルギー軽イオン線41aの飛程をゲート絶縁膜5の位置に厳格に制御することによりPウェル領域3及びNベース層2に影響を与えないのが理想的であるが、飛程のゆらぎからPウェル領域3及びNベース層2のごく表面付近には影響を与えるものと思われる。しかし、ゲート絶縁膜5

の中に上述の効果が得られる程度の電子-正孔対を発生させる為に必要なイオン照射量は通常のライフタイム制御を行う時のイオン照射量に比べて格段に少ないため、その影響は無視できる。

この後、コレクタ電極9の側からNベース層2中に飛程があるような高エネルギー軽イオン線41bを照射して、ライフタイム制御を精密に行う。この方法によるライフタイム制御は、上述の電子線によるライフタイム制御に比べて、より改善されたオン電圧(コレクタ・エミッタ飽和電圧) V_{CES} -ターンオフ時間 t_{off} のトレードオフ関係を実現することが可能である。すなわち、この実施例によれば、ラッチアップ防止と、より改善された $V_{CES}-t_{off}$ トレードオフ関係とが実現されたIGBTを製造することができる。

なおPウェル領域3の濃度を第1の実施例程度にし、ゲート電極6が負になるように電圧を印加して、低エネルギー軽イオン線41aの照射を行うことにより、第1の実施例で述べた原理に従った閾値電圧 V_{th} の低下を抑制することも考えられる。

第4A図～第4D図は上記第1～第3実施例に係るIGBTの製造手順を示す断面図である。なお、この場合のPウェル領域3は、第19図の従来のIGBTと同様に、比較的不純物濃度が低く深さが浅い第1のPウェル領域3aと、この第1のPウェル領域3aの中央部に形成された比較的不純物濃度が高く深さが深い第2のPウェル領域3bとから成っている。

まず第4A図に示すように、 P^+ シリコン基板より成る P^+ コレクタ層1の第1主面上に、 $10\mu m$ 程度の厚みの N^+ エピタキシャル層2Aをエピタキシャル成長する。そして、この N^+ エピタキシャル層2A上に $50\sim 100$ 数 μm の厚みの N^- エピタキシャル層2Bをエピタキシャル成長する。この N^- エピタキシャル層2B上に例えばシリコン酸化膜を形成し、これをパターニングすることによりマスク33を形成する。そしてこのマスク33を介してボロン等のP形不純物を N^- エピタキシャル層2Aに選択的にイオン注入し、さらに拡散することにより、表面濃度が 5×10

$16\sim 1\times 10^{19}cm^{-3}$ 程度の第2のPウェル領域3bを形成する。

次に第4B図に示すように、マスク33を除去し、別のマスク34を形成する。そしてこのマスク34を介してボロン等のP形不純物を N^- エピタキシャル層2Bに選択的にイオン注入し、さらに拡散することにより、第2のPウェル領域3bよりも低濃度でかつ深さが浅い第1のPウェル領域3aを形成する。こうして第1のPウェル領域3aの中央部に第2のPウェル領域3bが設けられたPウェル領域3が形成される。

次に第4C図に示すように、マスク34を除去し、代りに酸化膜およびポリシリコン膜を全面に形成し、それらをパターニングすることにより、ゲート絶縁膜5およびゲート電極6ならびにポリシリコン層6aを形成する。続いてゲート電極6、ポリシリコン層6aをマスクとしてリン等のN形不純物をPウェル領域3に選択的に拡散することにより、 N^+ エミッタ領域4を自己整合的に形成する。

次に第4D図に示すように、ポリシリコン層6aを除去後、絶縁膜8を全面に形成してパターンニングする。そして金属層を全面に形成してパターンニングすることにより、 N^+ エミッタ領域4に電氣的に接続されたエミッタ電極7およびゲート電極6に電氣的に接続されたゲート取出部37を形成する。しかる後、第1図～第3図に関連して説明した手順に従って、電子線40あるいは低エネルギー軽イオン線41a、高エネルギー軽イオン線41bによる照射を行う。

次に、上記第3の実施例の変形例である第4の実施例について説明する。第5A図及び第5B図はこの第4の実施例に係るIGBTの製造方法を示す断面図である。まず第5A図に示すように、 N^- 基板52の一方の主面にマスク35を形成し、このマスク35を介して高濃度ガス拡散を行い、表面濃度が 10^{20} cm^{-3} 程度の P^+ コレクタ領域1aを形成する。次に、第5B図に示すように、マスク35を除去した後別のマスク36を形成し、高濃度ガス拡散を行うことにより N^+ コレクタ領

域1bを形成する。以降の工程は第4A図から第4D図に示した工程と同じ要領で行われる（ただし、 N^- 基板52がNベース層2に置換わる。）。

このようにして製造されたIGBTを第6図に示す。同図に示したIGBTの構造と第17図に示す従来のIGBTの構造との相違点は、コレクタ領域の一部を N^+ 層1bとしたこと、Nベース層2が N^- 基板52に置換ったことである。この N^+ 層1bは N^- 基板ベース層52につながるとともに、コレクタ表面では P^+ コレクタ領域1aとメタル配線9によってつながれ、 N^- 基板ベース層52と P^+ コレクタ領域1aを短絡した構造となっている。この構造ではコレクタ電流 I_c の中で電子電流 I_e の占める割合が増加する、或いは、コレクタ側からのホールの注入効率が下がるという効果によって、従来より行われているバッファ層（ N^+ エピタキシャル層2Aに相当）の最適化やライフタイム制御といった方法によらずに高速のターンオフが実現できる利点がある。

この所謂コレクタ短絡形IGBTに対して、こ

の第4の実施例では更に、ラッチアップを有効に防止する目的で、Pウェル領域3は、内部抵抗 R_{B1} 及び R_{B2} が寄生サイリスタの動作に影響しない程度まで低下するよう、十分高濃度に形成されている。このためゲート絶縁膜5直下でのPウェル領域3の濃度も上昇することにより、閾値電圧 V_{th} は増大する。上記第3の実施例と同様にエミッタ電極7上にマスク36を形成し、このマスク36を介して、飛程がゲート絶縁膜5の付近にあるような低エネルギー軽イオン線41aを、ゲート電極6の部分にのみ選択的に照射する。照射中は上記第3の実施例と同様に、エミッタ電極7とゲート電極6の間に電源42によってゲート電極6が正になるように電圧を印加しておく。この電源42による印加電圧を最適化しておくことにより、第3の実施例に関連して前述したように、低エネルギー軽イオン線41aの照射後に、上記のPウェル領域3の濃度上昇に伴う閾値電圧 V_{th} の増大を相殺して、所望の閾値電圧 V_{th} を得ることができる。なお、低エネルギー軽イオン線41a

の飛程のゆらぎによる影響が無視できるのは前述したとおりである。

この第4の実施例によれば、コレクタ短絡構造で $V_{CES} - t_{off}$ トレードオフ関係が最適化され、高集積度を保ったままラッチアップを有効に防止し、かつ低エネルギー軽イオン線照射によって閾値電圧 V_{th} も最適化されたIGBTが実現できる。

第7図はこの発明によるIGBTの第5の実施例を示す断面図である。第7図において、基本的な素子構造は第1図と同じである。

第8図は第7図で示したIGBTの濃度プロファイルの一例を示すグラフである。同図に示すようにPウェル領域3の厚みは $10.6 \mu\text{m}$ 、 N^- エピタキシャル層2Bの厚みは $98.9 \mu\text{m}$ 、 N^+ エピタキシャル層2Aの厚みは $13.5 \mu\text{m}$ である。

このような構造のIGBTのコレクタ電極9の側から、軽イオン線50を飛程が N^+ エピタキシャル層2A内の中心付近に位置するように照射して、 N^+ エピタキシャル層2A中のみに結晶欠陥

を生じさせ、ライフタイム制御を精密に行う。この実施例の利点および望ましい種々の条件について以下に詳細に考察する。

第7図の実施例において、軽イオン線50として、例えば2価のヘリウムイオン(He^{2+})を用いてもよい。第9図はヘリウムイオン51を第7図の N^+ エピタキシャル層2A中に照射する工程を説明する説明図である。なお、説明の都合上、第7図における N^- エピタキシャル層2B中あるいは上に形成されるPウェル領域3、ゲート電極5等の図示は省略している。また、第7図で示した構造のIGBTを製造する工程は、第4A図～第4D図で示した通りである。

第9図に示すように、アルミ支持板61の一方主面上に形成された凹部内に第7図で示したIGBT60を格納し、その上を上アルミ箔62で覆うことによりIGBT60を凹部内に固定するとともに、凹部内を $10^{-3} \sim 10^{-4}$ Torr程度の真空に保つことによりIGBT60を真空絶縁状態にしている。また、アルミ箔62はヘリウムイオン

51をIGBT60中に照射する際のエネルギーアブソーバとしての役割も果たしている。

このように設置された状態で、ヘリウムイオン51を N^+ エピタキシャル層2A内の中心付近に飛程が位置するように照射する。

第10図は水素イオンとヘリウムイオン(H^+)の加速エネルギーとシリコン中における飛程との測定結果を示すグラフである。なお、この測定時における第9図のアルミ箔62の厚みは $20 \mu\text{m}$ である。一般的なIGBT60において、 P^+ コレクタ層1の厚みが $270 \mu\text{m}$ 、 N^+ エピタキシャル層2Aの厚みが $10 \mu\text{m}$ 程度であるため、 N^+ エピタキシャル層2Aの中心付近である $275 \mu\text{m}$ の飛程を得るためには、第10図より明らかなように、 25 MeV の加速エネルギーのヘリウムイオンを照射すればよい。これは十分に実用的な加速エネルギーの値である。一方、水素イオンの場合は第10図より明らかなようにヘリウムイオンよりも小さい加速エネルギーで済むが、以下の説明より明らかなようにこの実施例での使

用は限られた範囲でのものとなる。また、第10図には図示していないが、リチウムイオン(Li^+)などのヘリウムイオンより重いイオンは重くなるに従ってヘリウムイオンよりも一層大きい加速エネルギーを必要とする。加速エネルギーが余りに大きい場合は実用的な面から制約を受ける。

第11図はイオン照射により生成される結晶欠陥の分布する範囲である、結晶欠陥分布を示すグラフである。同図に示すように、結晶欠陥は、照射したイオンの飛程Dの近傍をピークとし、局所分布となる。つまり、イオン照射を行うと、飛程Dを中心として、図示の幅(以下「欠陥分布ピーク半値幅」という)W中に、大半の結晶欠陥(主としてvacancy(空孔))が生成されている。

第12図は水素イオンとヘリウムイオンにおけるシリコン中の平均飛程Dと欠陥分布ピーク半値幅Wとの関係を示すグラフである。前述したように、一般的なIGBT60では P^+ コレクタ層1の厚みは約 $270 \mu\text{m}$ 、 N^+ エピタキシャル層2

Aの厚みは約 $10 \mu\text{m}$ である。第12図によれば、シリコン中に約 $275 \mu\text{m}$ の飛程で打込んだイオンによって生じる欠陥分布ピーク半値幅Wは水素イオンでは約 $16 \mu\text{m}$ 、ヘリウムイオンでは約 $9 \mu\text{m}$ となる。従って、厚さ $10 \mu\text{m}$ 程度の N^+ エピタキシャル層2A中のみに結晶欠陥を生じさせるためには、水素イオンでなくヘリウムイオンを打込む必要がある。 N^+ エピタキシャル層2Aが厚い場合には水素イオンを用いることができる。また第12図には図示していないが、ヘリウムイオンよりも重いイオンは欠陥分布ピーク半値幅Wがヘリウムイオンよりも小さいので、ヘリウムイオンに代えて適用可能である。

第1表は照射量を変化させてヘリウムイオンを照射し、その後、アニール条件[温度 300°C 、雰囲気 N_2 、6時間]でアニールした場合において、飛程位置を N^+ エピタキシャル層2Aの中心付近に設定した場合と N^- エピタキシャル層2B内に設定した場合のターンオフ時間 t_{off} (μs e c)とオン抵抗 V_{CES} (V)の測定結果を示す

表である。また第1表に基づき両方の場合のターンオフ時間とオン抵抗のトレードオフ関係をグラフ化したのが、第13図である。同図において記号 N^+ を付した曲線がヘリウムイオンを N^+ エピタキシャル層2Aの中心付近に打込んだ場合のターンオフ時間とオン抵抗のトレードオフ関係、記号 N^- を付した曲線がヘリウムイオンを N^- エピタキシャル層2B中に打込んだ場合のターンオフ時間とオン抵抗のトレードオフ関係を示している。

(以下余白)

第1表

照 射 量 (cm^{-2})	N^- エピタキシャル層2B内	
	V_{CES} (V)	t_{off} (μsec)
3×10^{10}	2.52	2.48
3×10^{10}	2.82	1.92
1×10^{11}	3.08	1.05
2×10^{11}	3.98	0.60
4×10^{11}	8.14	0.20
照 射 量 (cm^{-2})	N^+ エピタキシャル層2A内	
	V_{CES} (V)	t_{off} (μsec)
3×10^{10}	2.44	1.89
3×10^{10}	2.81	1.16
1×10^{11}	3.17	0.75
2×10^{11}	4.11	0.37
4×10^{11}	9.13	0.18

第13図に示すように、 N^+ エピタキシャル層2A中にヘリウムイオンを打込む方が、 N^- エピタキシャル層2B中にヘリウムイオンを打込むより、ターンオフ時間とオン抵抗のトレードオフ関係が改善されているのがわかる。この理由は次のように推定される。すなわち、第8図に示すように、 N^+ エピタキシャル層2Aの濃度は N^- エピタキシャル層2Bの濃度よりも十分に高い。つまり、 N^+ エピタキシャル層2Aの抵抗値は N^- エピタキシャル層2Bの抵抗値よりも十分に低く、結晶欠陥の生成による抵抗成分の増加は無視することができる。従ってIGBTのオン時に主として N^- エピタキシャル層2B中で起こる電導度変動を阻害する度合は、同層2B中に直接結晶欠陥を生成した場合より低減させることができる。

また、ターンオフ時の初期にNベース層2から P^+ コレクタ層1へ流入する電子により逆に P^+ コレクタ層1からNベース層2への正孔の注入が起こりやすいことから、この正孔を早く捕捉するためにも位置的に最も P^+ コレクタ層1側にある

N^+ エピタキシャル層2Aに結晶欠陥を集中して生成させることは好都合である。なお、水素イオンやリチウムイオンなどヘリウムイオン以外のイオン打込みについても同様である。

第2表は、 N^+ エピタキシャル層2Aに結晶欠陥を形成するため照射量を変えてヘリウムイオンを照射し、その後、アニール条件〔温度300℃、雰囲気 N_2 、6時間〕でアニールした場合における、厚さ10 μm の N^+ エピタキシャル層2Aを有するIGBTと厚さ20 μm の N^+ エピタキシャル層2Aを有するIGBTそれぞれのターンオフ時間とオン抵抗の測定結果を示す表である。また第2表に基づき両者のターンオフ時間とオン抵抗のトレードオフ関係をグラフ化したのが第14図である。なお、同図において、曲線110が厚さ10 μm の N^+ エピタキシャル層2Aを有するIGBT、曲線120が厚さ20 μm の N^+ エピタキシャル層2Aを有するIGBTの測定結果のグラフである。

(以下余白)

第 2 表

照 射 量 (cm^{-2})	厚さ 10 μm	
	V_{CES} (V)	t_{off} (μsec)
0	1.85	17.8
3×10^{10}	2.44	1.89
3×10^{10}	2.81	1.16
1×10^{11}	3.17	0.75
2×10^{11}	4.11	0.37
照 射 量 (cm^{-2})	厚さ 20 μm	
	V_{CES} (V)	t_{off} (μsec)
0	1.90	10.3
3×10^{10}	3.02	1.75
3×10^{10}	3.31	1.05
1×10^{11}	3.23	1.03
2×10^{11}	4.68	0.61

同図に示すように、同じようにヘリウムイオンを N^+ エピタキシャル層2A内に打込んでも、厚さ10 μm の N^+ エピタキシャル層2Aを有するIGBTの方が、厚さ20 μm の N^+ エピタキシャル層2Aを有するIGBTよりターンオフ時間とオン抵抗のトレードオフ関係が改善されている。

これは N^+ エピタキシャル層2Aの厚みが厚いほど P^+ コレクタ層1からの正孔注入効率が低下し、イオン照射前のIGBTについてすでに同層2Aの厚みがオン電圧に影響していることによる。すなわち、正孔注入効率を上げる為には N^+ エピタキシャル層2Aの厚みは薄い方が望ましいが、一方では耐圧を保持する為、イオン照射による結晶欠陥が同層2A中に局所的に生成される為に十分な厚さは確保する必要がある、これらの条件を考慮した上で N^+ エピタキシャル層2Aの厚みを決定する必要がある。

第3A表～第3D表は、厚さ20 μm の N^+ エピタキシャル層2Aを有するIGBTに電子線、水素イオン、ヘリウムイオンを照射（水素イオン、

ヘリウムイオンの照射時は飛程を N^+ エピタキシャル層2Aの中心付近に設定)して N^+ エピタキシャル層2Aに結晶欠陥を形成した後、アニール条件〔温度300℃、雰囲気 N_2 、2時間（ヘリウムイオン照射時のみ6時間）〕でアニールした場合におけるターンオフ時間とオン抵抗の測定結果を示す表であり、このうち第3A表は無照射時、第3B表は電子線照射時、第3C表は水素イオン照射時、第3D表はヘリウムイオン照射時における測定結果を示す表である。これら第3A表～第3D表に基づき、オン抵抗とターンオフ時間のトレードオフ関係をグラフ化したのが第15図である。

(以下空白)

第 3 A 表

照 射 量 (cm^{-2})	V_{CES} (V)	t_{off} (μs)
0 (未照射)	1.90	10.3

第 3 B 表

照 射 量 (cm^{-2})	電 子 線	
	V_{CES} (V)	t_{off} (μsec)
4×10^{13}	2.69	5.84
4×10^{14}	3.19	3.30
1.4×10^{14}	3.81	2.52
1.8×10^{14}	3.78	2.36
2.0×10^{14}	3.89	1.96
3.0×10^{14}	4.68	1.36

第 3 C 表

照 射 量 (cm^{-2})	水 素	
	V_{CES} (V)	t_{off} (μsec)
3×10^{10}	2.10	7.94
1×10^{11}	2.50	3.27
3×10^{11}	2.92	1.94

第3D表

照射量 (cm^{-2})	He^{2+}	
	V_{CES} (V)	t_{off} (μsec)
3×10^{10}	2.57	2.29
6×10^{10}	3.02	1.08
1×10^{11}	3.43	0.95
2×10^{11}	4.81	0.58

第15図に示すように、ヘリウムイオン照射、水素イオン照射、電子線照射の順で、IGBTのオン抵抗とターンオフ時間のトレードオフ関係が良好であることがわかる。電子線照射の場合は、形成される結晶欠陥がIGBT全域にわたることから、あまり良好なトレードオフ関係は得られない。ヘリウムイオン照射の方が、水素イオン照射よりトレードオフ関係が良好なのは、両者の生成される結晶欠陥の分布する範囲である結晶欠陥分布（欠陥分布ピーク半値幅Wに比例）の違いに起因すると推測される。すなわち、結晶欠陥分布が比較的広い水素イオンを照射したIGBTにおいては、 N^+ エピタキシャル層2Aのみならず、

N^- エピタキシャル層2B中にも若干の結晶欠陥が生じてしまう。これに対し、結晶欠陥分布が比較的狭いヘリウムイオンを照射したIGBTにおいては、確実に、結晶欠陥が N^+ エピタキシャル層2Aにのみ生じる。その結果、水素イオンを照射したIGBTは、ヘリウムイオン照射したIGBTに比べて、オン抵抗とターンオフ時間のトレードオフ関係が劣化したものと推測される。このことにより、第15図には図示していないが、ヘリウムイオンにより重く結晶欠陥分布が狭いリチウムイオンなどのイオンは、ヘリウムイオンと同等の効果を発揮するものと思われる。

第4表はデバイス厚さが異なる（その結果、 N^+ エピタキシャル層2Aの中心付近までの距離が異なる）ことにより欠陥分布ピーク半値幅Wが異なった2つのIGBTそれぞれの、厚さ $10\mu\text{m}$ の N^+ エピタキシャル層2A中に、ヘリウムイオンを照射量を換えて複数回照射した場合のターンオフ時間とオン抵抗との測定結果を示す表である。なお、アニールは全て N_2 雰囲気下で 300°C 、

5時間の条件で行った。第16図は第4表に基づき、ターンオフ時間とオン抵抗のトレードオフ関係をグラフ化した図である。

(以下余白)

第4表

デバイス厚さ (μm)		400		230	
イオン照射面計算		P ⁺ コレクタ層1			
計算による欠陥分布 ピーク半値幅W (μm)		8. 8		3. 5	
		t _{off}	V _{CES}	t _{off}	V _{CES}
イ オ ン (He ²⁺) 照 射 量 (cm ⁻²)	3×10 ¹⁰	2.43	2.23	3.50	1.99
		2.73	2.28	4.15	1.95
		2.86	2.17	2.50	2.23
	6×10 ¹⁰	1.34	2.78	2.47	2.24
		1.27	2.90	2.24	2.28
				2.81	2.31
	1×10 ¹¹	0.68	7.20	1.51	2.57
				1.70	2.47
				1.51	2.69

デバイス厚さ400 μm のIGBT(図中●印)とデバイス厚さ230 μm のIGBT(図中○印)それぞれの中に形成された N^+ エピタキシャル層2A中に、ヘリウムイオンを打込んだ場合、第12図より明らかなように欠陥分布ピーク半値幅Wが異なる(第4表に示すように8.8 μm と3.5 μm)ことにより、それぞれの結晶欠陥分布に違いが生じる。しかし、第16図に示すように、ターンオフ時間とオン抵抗のトレードオフ関係は両者の場合においてほとんど同じである。これは、いずれの場合においても、 N^+ エピタキシャル層2A中にのみ結晶欠陥が生じていることによるものと思われる。つまり、 N^+ エピタキシャル層2A中にのみ結晶欠陥を形成できる場合は、デバイス厚さにかかわらず、ターンオフ時間とオン抵抗のトレードオフ関係には変化は生じないといえる。

以上の考察の結果をまとめると次のようになる。

(1) 重いイオンの使用は加速エネルギーの面から実用上の制約をうける。(第10図)

(2) 重いイオンほど結晶欠陥分布が狭い。(第

まし。ただし、ヘリウムイオンよりも重いイオンは上記(1)の制約を考慮する必要がある。 N^+ エピタキシャル層2Aがかなり厚いときは水素イオンの使用も可能となる。しかしこの場合、上記(4)の欠点が生じる。

また、この第5の実施例のIGBTは、ゲート絶縁膜5に電離放射線を一度も照射することなく製造されているため、第3の実施例同様、ライフタイム制御の前で閾値電圧の変化が全くない。

なお、この第5の実施例に従ったヘリウムイオンの照射を、第3の実施例の高エネルギー軽イオン線41bの照射に適用すれば、第3の実施例においてライフタイム制御の制御性はさらに改善される。

〔発明の効果〕

以上説明したように、請求項1記載のIGBTによれば、絶縁膜中の正の固定電荷の数および、該絶縁膜と第1の半導体領域との界面における単位の数に関し、前者が後者と均衡して存在するか、あるいは前者が後者よりも格段に多く存在するよ

うにしている。

(3) N^+ エピタキシャル層2Bよりも N^+ エピタキシャル層2Aに軽イオン線50を打ち込んだ方が、ターンオフ時間とオン抵抗のトレードオフ関係の改善の度合いが大きい。(第13図)

(4) N^+ エピタキシャル層2Aの厚みが厚くなると上記トレードオフ関係の改善の度合いが低下する。(第14図)

(5) N^+ エピタキシャル層2Aのみに結晶欠陥を発生させると、上記トレードオフ関係が最も良く改善される。(第15図)

(6) N^+ エピタキシャル層2A中において結晶欠陥分布が狭くなっても、上記トレードオフ関係の改善の度合いは同じである。(第16図)

約270 μm 厚の P^+ コレクタ層1および約10 μm 厚の N^+ エピタキシャル層2Aを有する一般的IGBTにおいて、上記(2)・(3)・(4)・(5)・(6)を考慮すると、ヘリウムイオン及びこれよりも重いイオンを、その飛程が N^+ エピタキシャル層2Aの中心付近に位置するように打ち込むのが望

うにしておき、一方、請求項3記載のIGBTの製造方法によれば、制御電圧と第1の主電極間に所定の電圧を印加した状態で制御電極上方から電離放射線を照射することにより、絶縁膜中の正の固定電荷の数および、該絶縁膜と第1の半導体領域との界面における単位の数に関し、前者が後者と均衡して存在するか、あるいは前者が後者よりも格段に多く存在するように設定することを可能としているので、電子線や軽イオン線などの電離放射線の照射前後での閾値電圧の変動を抑制でき、かつ、ラッチアップの発生を有効に防止することができるとともに、大電流容量化およびセル配列の高密度化に適した構造の絶縁ゲート型バイポーラトランジスタを得ることができるという効果がある。

さらに、請求項4記載のIGBTの製造方法によれば、第1の電離放射線を照射する工程により閾値電圧 V_{th} の設定を、第2の電離放射線を照射する工程によりライフタイム制御をそれぞれ独立して行えるため、前述した効果に加え、閾値電圧

の正確な設定及び制御性の良いライフタイム制御を行うことができる。

一方、請求項2記載のIGBTによれば、第2の半導体層を構成する比較的不純物濃度の高い第3の半導体層と比較的不純物濃度の低い第4の半導体層のうち、第3の半導体層にのみ結晶欠陥が設けられているため、結晶欠陥を設けることによる弊害は第4の半導体層には生じることがないため、その分ターンオフ時間とオン抵抗のトレードオフ関係を最適化できる効果がある。

また、請求項5記載のIGBTの製造方法によれば、生成される結晶欠陥の分布する範囲が第3の半導体層の厚さよりも小さい電離放射線を、第2の主電極が形成された主面上から、飛程が第3の半導体層の中心付近になるように照射するため、第2の半導体層を構成する比較的不純物濃度の高い第3の半導体層と比較的不純物濃度が低い第4の半導体層のうち、第3の半導体層にのみ結晶欠陥が設けられることになる。従って、結晶欠陥を設けることによる弊害は第4の半導体層には生じ

ることがなくなるため、その分ターンオフ時間とオン抵抗のトレードオフ関係を最適化できる効果がある。また、電離放射線を絶縁膜近傍に照射することなくIGBTを製造できるため、電離放射線の照射前後に閾値電圧が変化する可能性はない。

4. 図面の簡単な説明

第1図～第3図はそれぞれこの発明によるIGBTの第1～第3の実施例を示す断面図、第4A図～第4D図はこれら第1～第3の実施例に係るIGBTの製造方法を示す断面図、第5A図および第5B図はこの発明の第4の実施例に係るIGBTの製造方法を示す断面図、第6図はその第4の実施例に係るIGBTの構造を示す断面図、第7図はこの発明によるIGBTの第5の実施例を示す断面図、第8図はその第5の実施例に係るIGBTの製造方法の一部を説明する断面図、第9図～第16図はその第5の実施例に係るIGBTの効果を示すグラフ、第17図は従来のIGBTの構造を示す断面図、第18図はその等価回路を示す回路図、第19図および第20図はそれぞれ

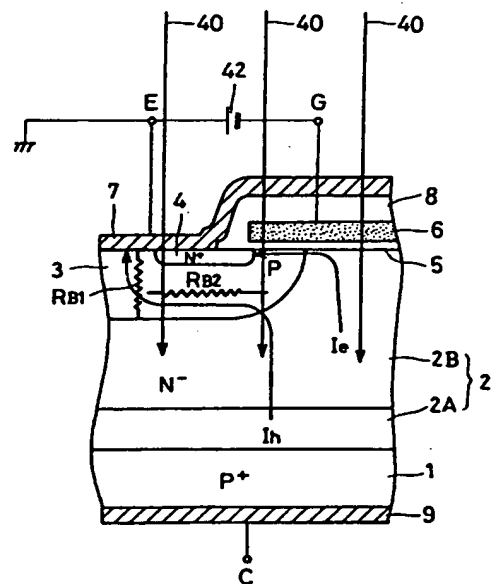
ラッチアップ防止のための従来のIGBTの構造を示す断面図および図解斜視断面図である。

図において、1はP⁺コレクタ層、2AはN⁺エピタキシャル層、2BはN⁻エピタキシャル層、3はPウェル領域、4はN⁺エミッタ領域、5はゲート絶縁膜、6はゲート電極、7はエミッタ電極、8は絶縁膜、9はコレクタ電極、36はマスク、40は電子線、41aは低エネルギー軽イオン線、41bは高エネルギー軽イオン線、42は電源、51はヘリウムイオンである。

なお、各図中同一符号は同一または相当部分を示す。

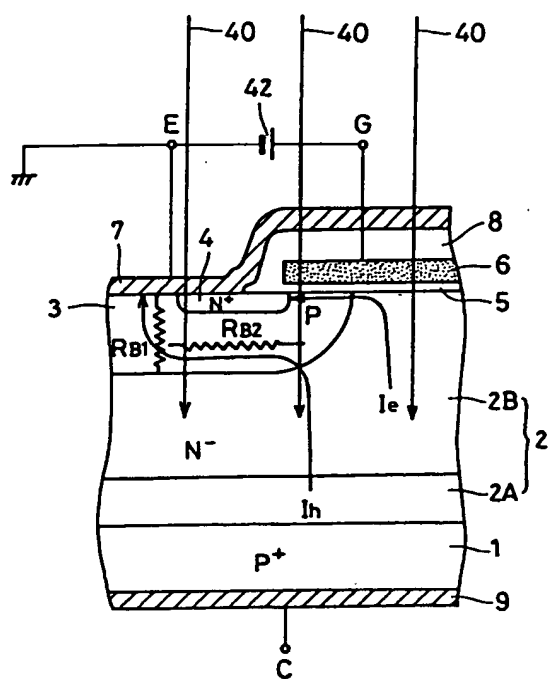
代理人 大 岩 増 雄

第1図



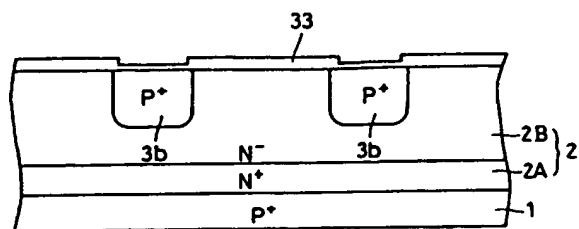
- | | |
|-----------------------------|-----------------------------|
| 1: P ⁺ コレクタ層 | 2A: N ⁺ エピタキシャル層 |
| 2B: N ⁻ エピタキシャル層 | 3: Pウェル領域 |
| 4: N ⁺ エミッタ領域 | 5: ゲート絶縁膜 |
| 6: ゲート電極 | 7: エミッタ電極 |
| 8: 絶縁膜 | 9: コレクタ電極 |
| 40: 電子線 | 42: 電源 |

第 2 圖

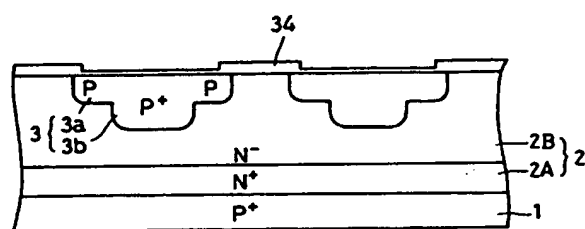


40: 電子線
42: 電源

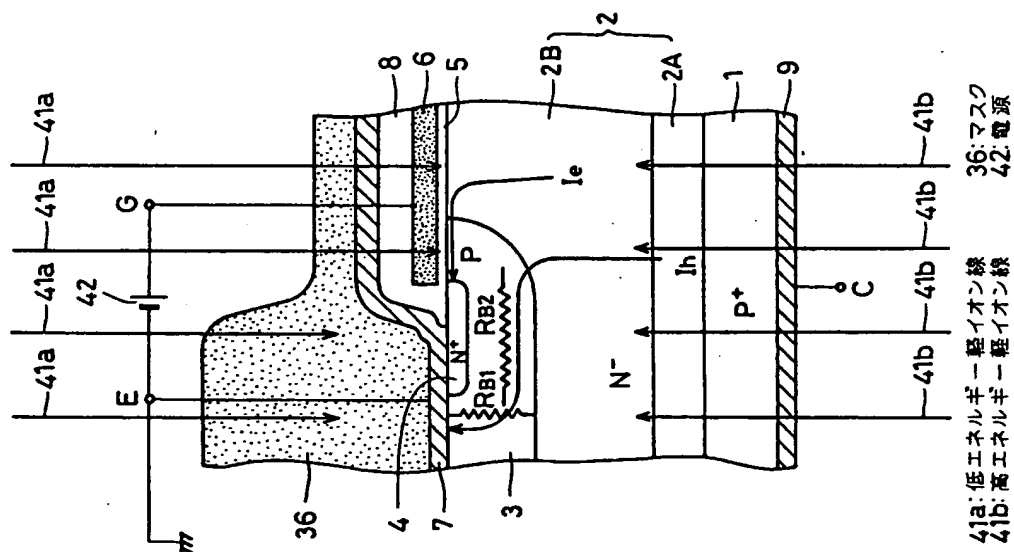
第4A圖



第4B 図

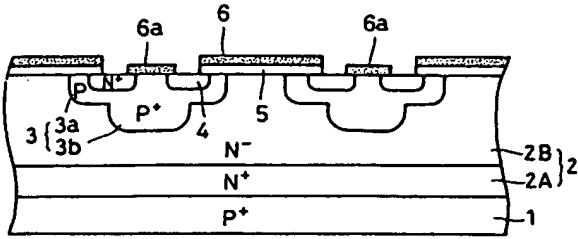


三城

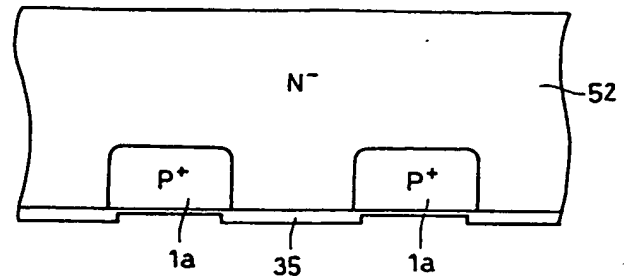


41a: 低エネルギー一重イオン線
41b: 高エネルギー一重イオン線
36: マスク
42: 電源

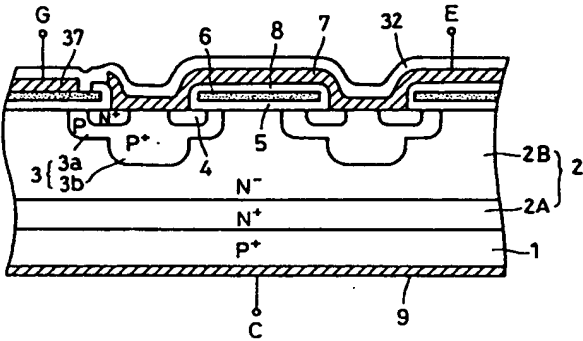
第4C図



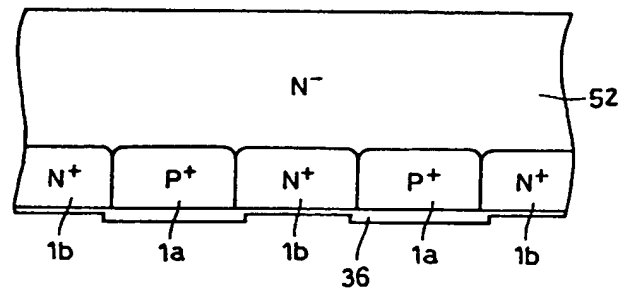
第5A図



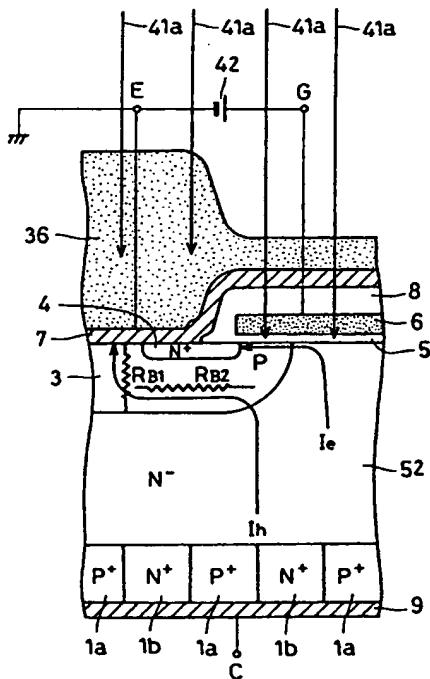
第4D図



第5B図

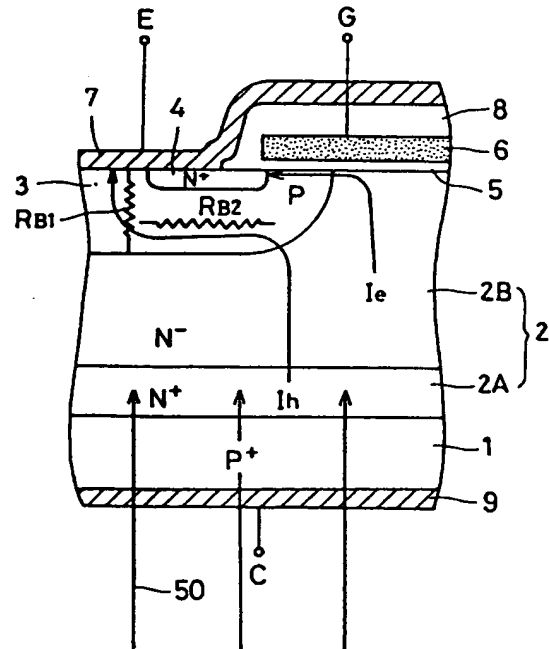


第6図

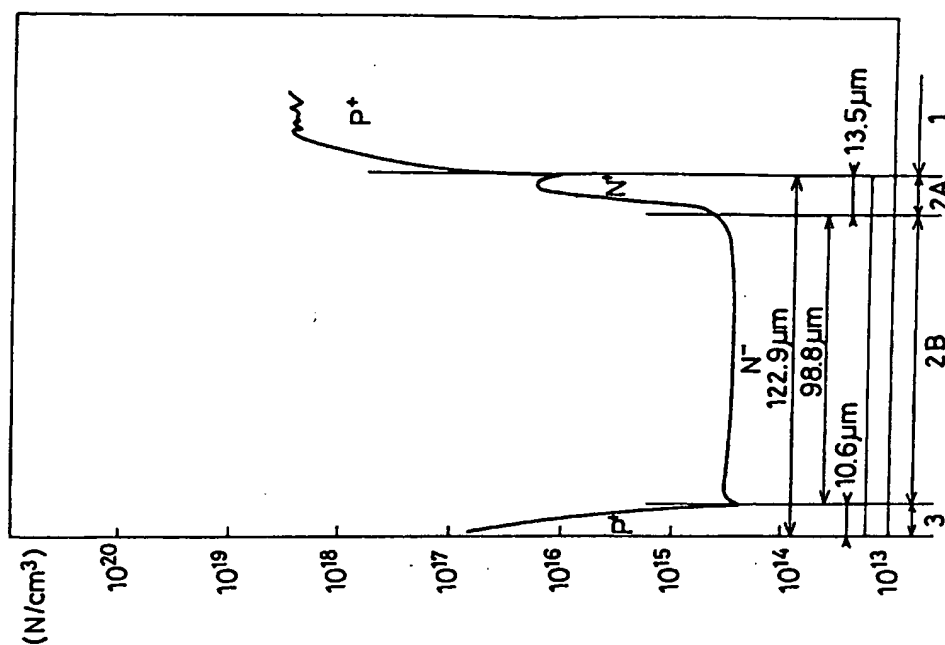


36: マスク
41a: 低エネルギー軽イオン線
42: 電源

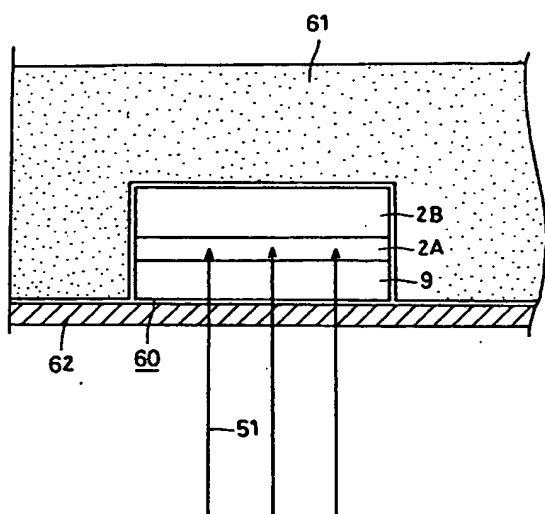
第7図



第 8 図

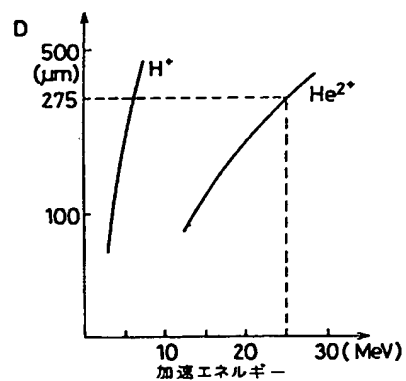


第 9 図

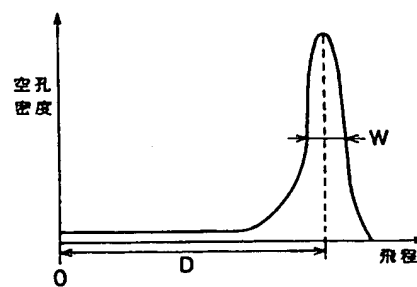


51: ヘリウムイオン (He^{2+})

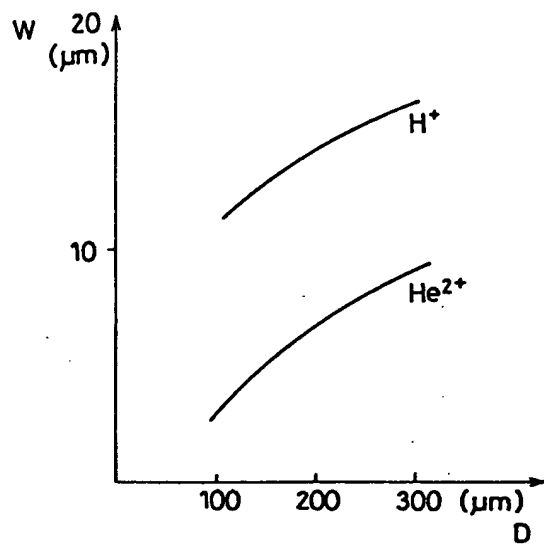
第 10 図



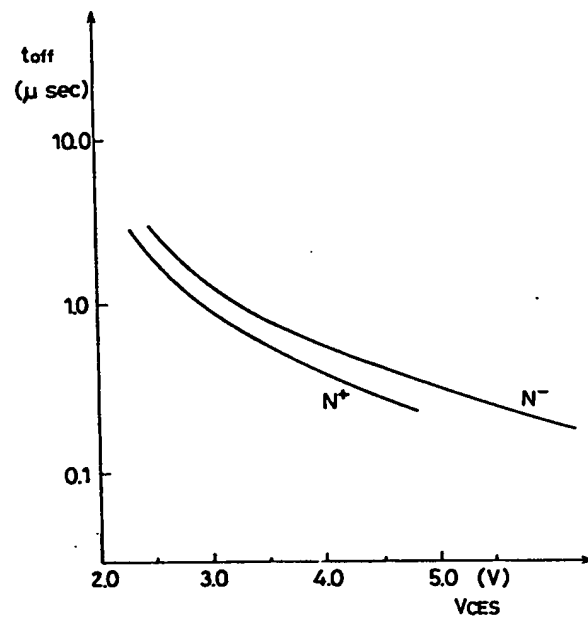
第 11 図



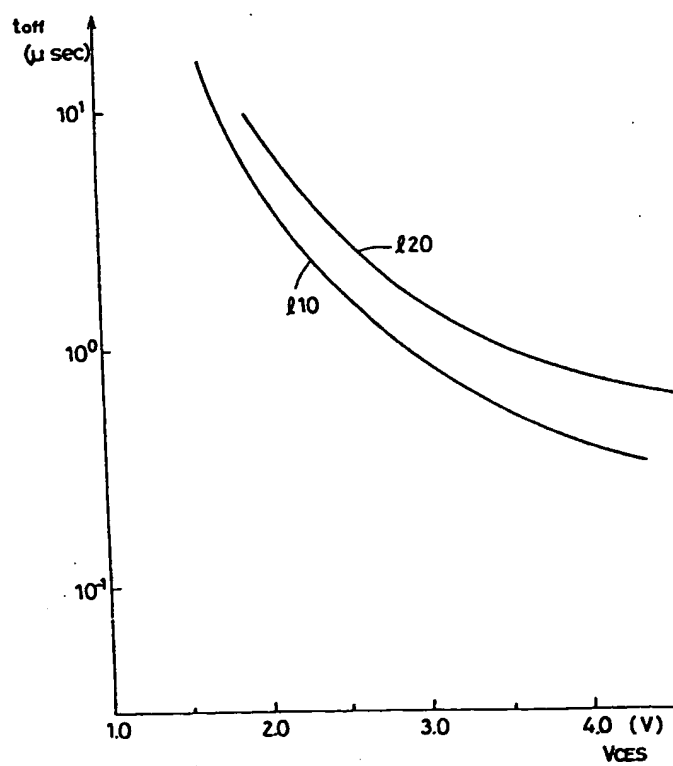
第 12 図



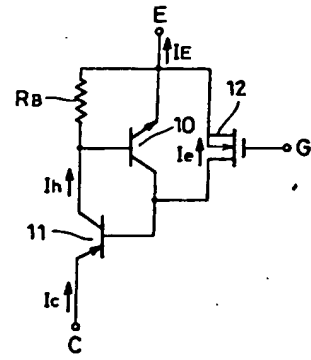
第 13 図



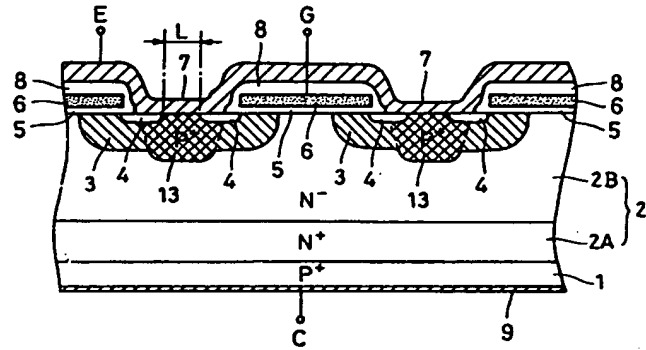
第 14 図



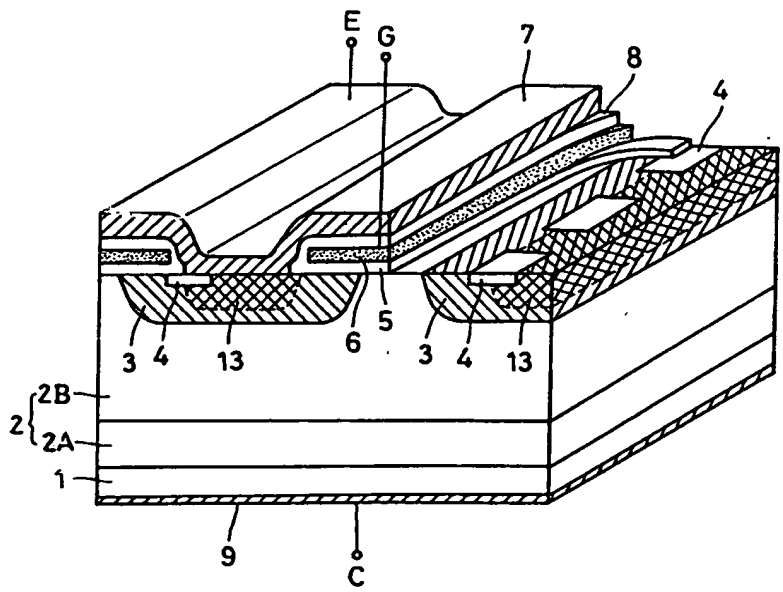
第 18 図



第 19 図



第 20 図



手続補正書(自発)
平成 2 年 5 月 18 日
適

特許庁長官殿

1. 事件の表示 平 特願昭 1-245914

2. 発明の名称 絶縁ゲート型バイポーラトランジスタおよび
その製造方法

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)



力 式 審 査
第(00)号

第 4 表

デバイス厚さ (μm)		400		230	
イオン照射面		P ⁺ コレクタ層1			
計算による欠陥分布 ピーク半値幅W (μm)		8. 8		3. 5	
		t _{off}	V _{CES}	t _{off}	V _{CES}
イ オ ン (He ²⁺) 照 射 量 (cm ⁻²)	3×10 ¹⁰	2.43	2.23	3.50	1.99
		2.73	2.28	4.15	1.95
		2.88	2.17	2.50	2.23
	6×10 ¹⁰	1.34	2.78	2.47	2.24
		1.27	2.90	2.24	2.28
				2.81	2.81
	1×10 ¹¹	0.68	7.20	1.51	2.57
				1.70	2.47
				1.51	2.69

5. 補正の対象

明細書の「発明の詳細な説明の欄」及び図面の
第19図

6. 補正の内容

- (1) 明細書第31頁第9行の「再結晶」を、「再結合」に訂正する。
- (2) 明細書第31頁第16行の「厳格」を、「厳密」に訂正する。
- (3) 明細書第38頁第14行の「98.9」を、「98.8」に訂正する。
- (4) 明細書第52頁第10行の「イオンにより」を、「イオンより」に訂正する。
- (5) 明細書第52頁第10行の「分布が狭い」を、「分布がより狭い」に訂正する。
- (6) 明細書第52頁第18行の「換えて複数回照射」を、「換えて照射」に訂正する。
- (7) 明細書第54頁の第4表を別紙の通り補正する。
- (8) 図面の第19図を別紙の通り補正する。

以上

第 19 図

